



356
#4
1231-01

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Kunihiro TSUBOSAKI

Serial No.: 09/917,854

Group Art Unit: Unassigned

Filed: July 31, 2001

Examiner: Unassigned

For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE
SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY

Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appl. No. 2000-233939 filed on August 02, 2000.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

PARKHURST & WENDEL, L.L.P.

Charles A. Wendel

Registration No. 24,453

November 16, 2001

Date

CAW/ddh

Attorney Docket No. DAIN:644

PARKHURST & WENDEL, L.L.P.

1421 Prince Street, Suite 210

Alexandria, Virginia 22314-2805

Telephone: (703) 739-0220

(rev. 10/97)



本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 8月 2日

出 願 番 号

Application Number:

特願2000-233939

出 願 人

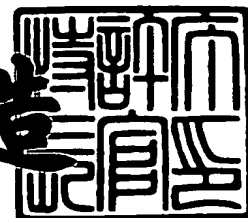
Applicant(s):

大日本印刷株式会社

2001年 8月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3078912

【書類名】 特許願

【整理番号】 P000931

【提出日】 平成12年 8月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H05K 1/00
H05K 3/46
H01L 21/90
H01L 23/48

【発明者】

【住所又は居所】 東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内

【氏名】 坪崎 邦宏

【特許出願人】

【識別番号】 000002897

【氏名又は名称】 大日本印刷株式会社

【代表者】 北島 義俊

【代理人】

【識別番号】 100111659

【弁理士】

【氏名又は名称】 金山 聡

【手数料の表示】

【予納台帳番号】 013055

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808512

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその作製方法

【特許請求の範囲】

【請求項 1】 半導体チップの電極形成側の面上に配設された絶縁層上に配線を形成した半導体装置であって、絶縁層上に形成された配線と半導体チップの電極とは、半導体チップの電極上に設けられた接続部を介して電氣的に接続されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 において、接続部が、ワイヤバンプであることを特徴とする半導体装置。

【請求項 3】 請求項 1 において、接続部が、半導体チップの電極上に設けられたワイヤバンプと、ワイヤバンプ上に更に設けられた導電性ペースト硬化物から成ることを特徴とする半導体装置。

【請求項 4】 請求項 1 において、接続部が、半導体チップの電極上に設けられたメタル層と、メタル層上に設けられた導電性ペースト硬化物からなることを特徴とする半導体装置。

【請求項 5】 請求項 1 ないし 4 において、絶縁層上に形成された配線を覆うソルダーレジスト層を設け、ソルダーレジスト層の開口した外部端子形成領域に半田ボールからなる外部端子を形成していることを特徴とする半導体装置。

【請求項 6】 請求項 1 ないし 5 において、半導体チップの、電極形成側の面と対向する面にも絶縁層が形成されていることを特徴とする半導体装置。

【請求項 7】 半導体チップの電極形成側の面上に配設された絶縁層上に配線を形成した半導体装置で、絶縁層上に形成された配線と半導体チップの電極とは、半導体チップの電極上に設けられた接続部を介して、電氣的に接続されている半導体装置を作製する、半導体装置の作製方法であって、ウエハプロセスを完了後、ウエハ状態のまま、順に、（a）各半導体チップの電極上にワイヤボンディングによりワイヤバンプを形成し、更に必要に応じ、ワイヤバンプ上に導電性ペースト硬化物を配設するか、あるいは、各半導体チップの電極上に無電界めっき又はスパッタ法等によりメタル層を形成し、この上に導電性ペースト硬化物を配設し、絶縁層上に形成された配線と半導体チップの電極との接続部を形成する

接続部形成工程と、(b) 接続部を覆う厚さで、電極形成側の面上に絶縁層を配設する絶縁層形成工程と、(c) 接続部を露出するように、絶縁層を研磨して薄くする絶縁層研磨工程と、(d) 接続部を含み、絶縁層面上に、無電解めっきを行い無電解めっき層（シードメタル層とも言う）を形成する無電解めっき層形成工程と、(e) 無電解めっき層を給電層として、無電解めっき層上に、配線形成領域のみに選択的に電解めっきを施し、配線部を形成する電解めっき工程と、(f) 配線部領域以外の無電解めっき層をエッチング除去するエッチング工程と、(g) 絶縁層上に形成された配線部を覆うようにソルダーレジスト層を設けた後、外部端子形成領域を開口する、ソルダーレジスト層形成工程と、(h) ソルダーレジスト層の開口した外部端子形成領域に半田ボールを形成して、外部端子とする、半田ボール形成工程とを行った後、個別の半導体装置に切り出す切断工程を行うことを特徴とする半導体装置の作製方法。

【請求項 8】 請求項 7 における、電解めっき工程は、無電解めっき層上に所定形状のレジスト像を形成し、これを耐めっきマスクとして、選択めっきを行なうものであることを特徴とする半導体装置の作製方法。

【請求項 9】 請求項 8 において、無電解めっき層上の所定形状のレジスト像除去した後、配線部を損なわないように、露出した無電解めっき層をソフトエッチングにより、除去することを特徴とする半導体装置の作製方法。

【請求項 10】 請求項 7 ないし 9 において、絶縁層研磨工程後、絶縁層面を粗化する粗面化処理を行なった後、無電解めっき層形成工程を行なうことを特徴とする半導体装置の作製方法。

【請求項 11】 請求項 7 ないし 10 において、スクリーン印刷法により、配線部を覆うように感光性のソルダーレジストを設け、該感光性のソルダーレジストの所定の領域のみを露光して、更に現像して、外部端子形成領域を開口するものであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置とその作製方法に関し、特に、半導体チップの電極形成側

の面に、外部端子を再配置した半導体装置とその作製方法に関する。

【0002】

【従来の技術】

近年、半導体装置は、電子機器の高性能化と軽薄短小化の傾向（時流）からLSIのASICに代表されるように、ますます高集積化、高機能化、小型化が進んでいる。

従来は、ウエハ工程を経たウエハに対し、裏面研磨を施してから、ダイシングを行い、各ペレット（チップないし半導体素子とも言う）に切断分離した後、ペレット毎に、ダイボンディング、ワイヤボンディング、樹脂封止等を行い、半導体装置を組み上げており、ワイヤボンディング法による半導体素子とリードフレームの電気接続が行なわれていた。

近年、高速信号処理の点でワイヤボンディングに優れる、チップの bumps を用いたフリップチップ接続が採られるようになってきた。

フリップチップ接続には、パッケージングされていないチップをそのままプリント基板に搭載するベアチップ実装という方法もあるが、取り扱いが難しく、信頼性保証の観点からは、パッケージングされた bumps 付き半導体装置が望ましい。

【0003】

最近では、パッケージングされた bumps 付き半導体装置を形成する方法として、ウエハレベルで、配線、外部端子部（メタルポストからなる）形成、樹脂封止、bumps 形成を行った後、各半導体措置に切断分離して、CSP（Chip Scale Package）を形成する製造方式が提案されている。（Chip Scale International 99/SEMI 1999）

尚、このようにして作製されたCSPをウエハレベルCSPとも言う。

そして、このような半導体装置の作製を、ここでは、ウエハレベルでの半導体装置の作製と言う。

図9にその一部断面を示す。

図9中、610は半導体チップ（単にチップとも言う）、615は電極（端子とも言う）、620はSiNパッシベーション層、625はポリイミド層、63

0は配線、631はシードメタル層、632は電解銅めっき層、640は樹脂封止層（エポキシ樹脂層）、650メタルポスト（電解銅めっき層で、外部端子部とも言う）、660はバリアメタル、670は半田ボールである。この方式によるCSPでは、チップの端子が、チップ面上に形成した再配線層と接続して、再配置された外部端子部（メタルポストとも言う）650に接続され、外部端子部（メタルポスト）650がバリアメタル層660を介して、半田ボール670に接続され、更に、半田ボールをバンプとして、プリント基板に半田接続されるため、従来の、フリップチップ接続によるチップのプリント基板への搭載に近い形態である。

尚、メタルポストを埋めるように樹脂封止層が形成されている。

【0004】

この方式においては、構造上、メタルポストは半田ボール径の2/3程度の径（100～200 μ m）が必要であり、また、その高さは約100 μ mであるため、太く剛性が大きい。

したがって、個片化後（個別の半導体装置の状態）、基板に実装された状態で温度変化を繰り返し受けると、Siチップと実装基板間の熱膨張係数差（ $\Delta\alpha$ ）に起因する熱歪みが発生し、メタルポスト下部のSiチップクラックを生じるという問題がある。

また、チップの回路面側のみ樹脂封止する構造であるため、反りが発生し、半田ボールの平坦度が悪く、実装歩留まりが悪いという問題もある。

【0005】

【発明が解決しようとする課題】

このように、上記ウエハレベルCSP（Chip Scale Package）においては、基板に実装された状態で温度変化を繰り返し受けると、メタルポスト下部のSiチップクラックを生じるという問題や、チップの回路面側のみ樹脂封止する構造であるため、反りが発生し、半田ボールの平坦度が悪く、実装歩留まりが悪いという問題があり、その対応が求められていた。

本発明は、これに対応するためのもので、基板に実装された状態での温度変化によるSiチップクラックを生じにくい構造の、更には、反りが発生しにくく、

実装歩留まりの良い構造の、半導体チップの電極形成側の面に、外部端子を再配置した半導体装置を提供しようとするものである。

同時に、そのような半導体装置の作製方法を提供しようとするものである。

【 0 0 0 6 】

【課題を解決するための手段】

本発明の半導体装置は、半導体チップの電極形成側の面上に配設された絶縁層上に配線を形成した半導体装置であって、絶縁層上に形成された配線と半導体チップの電極とは、半導体チップの電極上に設けられた接続部を介して電氣的に接続されていることを特徴とするものである。

そして、上記において、接続部が、ワイヤバンプであることを特徴とするものである。

あるいは、上記において、接続部が、半導体チップの電極上に設けられたワイヤバンプと、ワイヤバンプ上に更に設けられた導電性ペースト硬化物から成ることを特徴とするものである。

あるいは、上記において、接続部が、半導体チップの電極上に無電界めっき法又はスパッタ法等により設けられたメタル層と、メタル層上に設けられた導電性ペースト硬化物からなることを特徴とするものである。

そしてまた、上記において、絶縁層上に形成された配線を覆うソルダーレジスト層を設け、ソルダーレジスト層の開口した外部端子形成領域に半田ボールからなる外部端子を形成していることを特徴とするものである。

また、上記において、半導体チップの、電極形成側の面と対向する面にも絶縁層が形成されていることを特徴とするものである。

【 0 0 0 7 】

本発明の半導体装置の作製方法は、半導体チップの電極形成側の面上に配設された絶縁層上に配線を形成した半導体装置で、絶縁層上に形成された配線と半導体チップの電極とは、半導体チップの電極上に設けられた接続部を介して、電氣的に接続されている半導体装置を作製する、半導体装置の作製方法であって、ウエハプロセスを完了後、ウエハ状態のまま、順に、(a) 各半導体チップの電極上にワイヤボンディングによりワイヤバンプを形成し、更に必要に応じ、ワイヤ

パンプ上に導電性ペースト硬化物を配設するか、あるいは、各半導体チップの電極上に無電界めっき又はスパッタ法等によりメタル層を形成し、この上に導電性ペースト硬化物を配設し、絶縁層上に形成された配線と半導体チップの電極との接続部を形成する接続部形成工程と、(b) 接続部を覆う厚さで、電極形成側の面上に絶縁層を配設する絶縁層形成工程と、(c) 接続部を露出するように、絶縁層を研磨して薄くする絶縁層研磨工程と、(d) 接続部を含み、絶縁層面上に、無電解めっきを行い無電解めっき層（シードメタル層とも言う）を形成する無電解めっき層形成工程と、(e) 無電解めっき層を給電層として、無電解めっき層上に、配線形成領域のみに選択的に電解めっきを施し、配線部を形成する電解めっき工程と、(f) 配線部領域以外の無電解めっき層をエッチング除去するエッチング工程と、(g) 絶縁層上に形成された配線部を覆うようにソルダーレジスト層を設けた後、外部端子形成領域を開口する、ソルダーレジスト層形成工程と、(h) ソルダーレジスト層の開口した外部端子形成領域に半田ボールを形成して、外部端子とする、半田ボール形成工程とを行った後、個別の半導体装置に切り出す切断工程を行うことを特徴とするものである。

そして、上記における、電解めっき工程は、無電解めっき層上に所定形状のレジスト像を形成し、これを耐めっきマスクとして、選択めっきを行なうものであることを特徴とするものである。

そしてまた、上記において、無電解めっき層上の所定形状のレジスト像除去した後、配線部を損なわないように、露出した無電解めっき層をソフトエッチングにより、除去することを特徴とするものである。

また、上記において、絶縁層研磨工程後、絶縁層面を粗化する粗面化処理を行なった後、無電解めっき層形成工程を行なうことを特徴とするものである。

また、上記において、スクリーン印刷法により、配線部を覆うように感光性のソルダーレジストを設け、該感光性のソルダーレジストの所定の領域のみを露光して、更に現像して、外部端子形成領域を開口するものであることを特徴とするものである。

【 0 0 0 8 】

【作用】

本発明の半導体装置は、上記のような構成にすることにより、基板に実装された状態での温度変化による S i チップクラックが生じにくいものとすることができる。

特に、接続部がワイヤバンプである場合、半導体チップの電極形成側の面上に配設された絶縁層上に配線を形成した半導体装置で、絶縁層上に形成された配線と半導体チップの電極とは、半導体チップの電極上に形成されたワイヤバンプを介して、電氣的に接続されており、このワイヤバンプを軟らかく延性の高い A u ワイヤ等で形成し、かつ、その形状を細く高く形成することにより、繰り返し熱応力を受けても、ワイヤバンプ自身が変形することで応力を緩和し、S i チップクラックを生じにくくできる。

従来のウエハレベル C S P の構造ではメタルポストが硬く太い為に、自己変形することができず、相対的に強度が弱い、S i チップ表面または半田ボール接続部等にクラックが生じていた。

また、接続部が、半導体チップの電極上に設けられたワイヤバンプと、ワイヤバンプ上に更に設けられた導電性ペースト硬化物から成る場合は、絶縁層形成工程を容易に行なうことができると同時に、繰り返し熱応力を受けた時の接続信頼性をさらに高めることができる。

即ち、ワイヤバンプ上に導電性ペーストを形成する際に、背を高く、また先端を尖らせるようにすることで、後述する絶縁層としてエポキシ系材料をラミネートする工程で、接続部が変形すること無く、絶縁層を良く貫通することができる。

また、接続部が半導体チップの電極上に設けられたメタル層と、その上に更に設けられた導電性ペースト硬化物から成る場合には、接続部形成工程をウエハ単位で一括処理できるため、加工量を削減できる。

また導電ペースト硬化物はその熱膨張係数を絶縁層と比較的一致させることができ、かつ、柔軟性を持つため、繰り返し熱応力をうけても、それ自身がクラックすることはなく、従って、接続信頼が高い。

また、半導体チップの、電極形成側の面と対向する面にも絶縁層が形成されていることにより、反りが発生しにくく、実装歩留まりの良いものとしている。

また、絶縁層上に形成された配線を覆うソルダーレジスト層を設け、ソルダーレジスト層の開口した外部端子形成領域に半田ボールからなる外部端子を設ける、その作製が容易な形態が採れる。

【 0 0 0 9 】

本発明の半導体装置の作製方法は、上記のような構成にすることにより、基板に実装された状態での温度変化による Si チップクラックを生じにくく、かつ、接続部が破壊され難い構造の、更には、反りが発生しにくく、実装歩留まりの良い構造の、半導体チップの電極形成側の面に、外部端子を再配置した半導体装置の作製方法の提供を可能とするものである。

【 0 0 1 0 】

【発明の実施の形態】

本発明を実施の形態を挙げて説明する。

図 1 は本発明の半導体装置の実施の形態の第 1 の例の一部断面図で、図 2 は本発明の半導体装置の実施の形態の第 2 の例の一部断面図で、図 3 は本発明の半導体装置の実施の形態の第 3 の例の一部断面図で、図 4 は本発明の半導体装置の実施の形態の第 4 の例の一部断面図で、図 5 は図 1 に示す第 1 の例の半導体装置の作製の一部工程図で、図 6 は図 1 に示す本発明の半導体装置の実施の形態の第 1 の例の図 4 に続く工程を示した工程断面図で、図 7 は図 2 に示す第 2 の例の半導体を作製する際に導電性ペーストをワイヤバンプに形成した図、図 8 は図 4 に示す第 4 の例の半導体を作製する際に導電性ペースト硬化部を形成した図、図 9 は従来のウエハレベル CSP の一部断面図である。

図 1 ～図 8 中、110 は半導体チップ、115 は電極（端子とも言う）、120 はパッシベーション層、130 は接続部、131 はワイヤバンプ、133 は無電解めっき層、135 は導電性ペースト硬化物、140、145 は絶縁層、150 は配線（配線部とも言う）、151 は無電解めっき層（シードメタル層）、152 は電解めっき層（配線の主層）、153 は電解めっき層（バリアメタル層）、160 はソルダーレジスト層、170 は半田ボール（半田バンプ）である。

【 0 0 1 1 】

はじめに、本発明の半導体装置の実施の形態の第 1 の例を、図 1 に基づいて説

明する。

本例は、半導体チップ 1 1 0 の電極 1 1 5 形成側の面上に配設された絶縁層 1 4 0 上に配線 1 5 0 を形成した半導体装置で、絶縁層 1 4 0 上に形成された配線 1 5 0 と半導体チップ 1 1 0 の電極 1 1 5 とは、半導体チップ 1 1 0 の電極 1 1 5 上に設けられたワイヤバンプ 1 3 1 を接続部 (1 3 0) として、電氣的に接続されている。

そして、絶縁層 1 4 0 上に形成された配線 1 5 0 を覆うソルダーレジスト層 1 6 0 を設け、半田ボールを設ける配線の外部端子形成領域を開口して、ここに半田ボールからなる外部端子 1 7 0 を形成している。

半導体チップ 1 1 0、電極 1 1 5、パッシベーション層 1 2 0 (図 4 (a) の状態) までは、通常の半導体プロセスで形成されるもので、電極は A 1 電極が一般的で、パッシベーション層 1 2 0 としては、S i N 膜または S i N 膜 + ポリイミド層が通常用いられる。

ワイヤバンプ 1 3 1 は、絶縁層 1 4 0 を貫通するように形成されており、金線等をワイヤボンディングにより電極 1 1 5 上に形成したもので、半導体チップ面にほぼ直交する方向にワイヤを突起状に残したものを、後述するように、絶縁層 1 4 0 とともに研磨し、平坦面を絶縁層から露出させ、絶縁層面と同じ高さの所定高さにしたものである。

配線 1 5 0 は、無電解めっき層 (シードメタル) 1 5 1 上に、電解めっき層 1 5 2、1 5 3 を形成したものである。

電解めっき層 1 5 2 は、配線の主層となるもので、導電性の面、コスト面から一般には銅層を主体としたものが用いられるがこれに限定はされない。

電解めっき層 1 5 3 はバリアメタル層で、半田ボール 1 7 0 と電解めっき層 1 5 2 間の合金層形成を防止するために設けたもので、例えば、電解めっき 1 5 2 上に順次電解 N i めっき 1 ~ 2 μ m 厚、A u めっき 0 . 1 μ m 層を設けて、バリアメタル層としたものが挙げられる。

絶縁層 1 4 0 としては、絶縁性、処理特性、機械的強度、耐性等に優れたものであれば限定されないが、例えば、ラミネート法により形成された、エポキシ樹脂、あるいはトランスファーモールド法により形成されたシリカフィラー入りエポ

キシ樹脂からなるものを、熱応力を緩和する目的から約 $100\mu\text{m}$ 厚程度（ワイヤバンプ高さはこれに合す）とし、絶縁層140としたものが挙げられる。

ソルダーレジスト層160としは、処理性の良い感光性のものが好ましいが限定はされない。

【0012】

次に、本発明の半導体装置の実施の形態の第2の例を、図2に基づいて説明する。

本例も、第1の例と同様、半導体チップ110の電極115形成側の面上に配設された絶縁層140上に配線150を形成した半導体装置で、絶縁層140上に形成された配線150と半導体チップ110の電極115とを接続したものであるが、本例では、絶縁層140上に形成された配線150と半導体チップ110の電極115とが、半導体チップ110の電極115上に設けられたワイヤバンプ131とワイヤバンプ131上に更に突起状に形成された導電性ペースト硬化物135を合せた接続部（130）により電氣的に接続されている。

その他の点は、第1の例と同じで、ここでは説明を省略する。

導電性ペースト135としては、銀ペースト、銅ペースト等が使用できる。

本例は、作製する際、後述するように、接続部の高さを高くするとともに、その先端を鋭く尖らせることが可能である。

【0013】

次に、本発明の半導体装置の実施の形態の第3の例を、図3に基づいて説明する。

本例は、第2の例において、更に、半導体チップ110の、電極115形成側の面と対向する面にも絶縁層145が形成されているものである。

その他の点は第2の例と同じで、ここでは説明を省略する。

絶縁層145は、絶縁層140と同様なものを用いることができる。

絶縁層140、絶縁層145を半導体チップ110の両面に設けていることにより反りの発生を防止しており、これより、基板実装の際の歩留まり向上が期待できる。

【0014】

次に、本発明の半導体装置の実施の形態の第 4 の例を、図 4 に基づいて説明する。

本例も、第 1 の例と同様、半導体チップ 1 1 0 の電極 1 1 5 形成側の面上に配設された絶縁層 1 4 0 上に配線 1 5 0 を形成した半導体装置で、絶縁層 1 4 0 上に形成された配線 1 5 0 と半導体チップ 1 1 0 の電極 1 1 5 とを接続したものであるが、第 1 の例～第 3 の例のようにワイヤバンプを設けるものではなく、本例では、絶縁層 1 4 0 上に形成された配線 1 5 0 と半導体チップ 1 1 0 の電極 1 1 5 とが、半導体チップ 1 1 0 の電極 1 1 5 上に、設けられたメタル層 1 3 3 とその上に設けられた導電性ペースト硬化物 1 3 5 により電氣的に接続されている。

その他の点は、第 1 の例と同じで、ここでは説明を省略する。

【 0 0 1 5 】

次いで、図 1 に示す第 1 の例の半導体装置の作製方法の 1 例を、図 5、図 6 に基づいて説明する。

これを以って、本発明の半導体装置の作製方法の実施の形態の 1 例の説明とする。

電極 1 1 5 領域を開口した状態でパッシベーション層 1 2 0 を配設したウエハプロセスを完了後のウエハを用意し、ウエハ状態のまま、各半導体チップ 1 1 0 (図 5 (a)) に、以下の処理を施す。

まず、各半導体チップ 1 1 0 の電極 1 1 5 上にワイヤボンディングによりワイヤバンプ 1 3 1 を形成する。(図 5 (b))

次いで、ワイヤバンプ 1 3 1 を覆う厚さで、電極形成側の面上に絶縁層 1 4 0 を配設する。(図 5 (c))

絶縁層 1 4 0 を加熱硬化した後、絶縁層 1 4 0 を研磨して所定厚さに薄くし、ワイヤバンプ 1 3 1 を露出させる。(図 5 (d))

この際、通常、ワイヤバンプ 1 3 1 も一部研磨され、平坦面が露出する。

【 0 0 1 6 】

次いで、必要に応じ、絶縁層 1 4 0 の面の粗化を行い、P d イオンを含む溶液に浸漬する等の方法により、表面を活性化して無電解めっきを行い、無電解めっき層 1 5 1 を形成する。(図 5 (e))

無電解めっきとしては、無電解銅めっき、無電解ニッケルめっきが挙げられる。

これにより、無電解めっき層 1 5 1 とワイヤバンプとは電氣的に接続する。

【 0 0 1 7 】

次いで、無電解めっき層上に、フォトリソ法により所定形状のレジスト像を形成し（図示していない）、これを耐めっきマスクとして、無電解めっき層を給電層として、選択的に電解めっきを施し、電解めっき層 1 5 2、1 5 3 を形成する。

これにより、配線部は形成される。

電解めっき層 1 5 2 は、配線の主体で、通常は銅を主体とするものであり、電解めっき層 1 5 3 は、Ni めっき層、Au めっき層をこの順に積層した等の、バリアメタル層であり、公知のめっき法により形成できる。

【 0 0 1 8 】

次いで、無電解めっき層上のめっきマスクとしてのレジストを除去した（図 6 f））後、配線部を損なわないように、露出した無電解めっき層 1 5 1 をソフトエッチングにより、除去する。（図 6（g））

【 0 0 1 9 】

次いで、スクリーン印刷法により、配線部 1 5 0 を覆うように感光性のソルダーレジストを設け、感光性のソルダーレジストの所定の領域のみを露光して、更に現像して、配線 1 5 0 の外部端子形成領域を開口する。（図 6（h））

これによりソルダーレジスト層 1 6 0 が形成される。

【 0 0 2 0 】

次いで、ソルダーレジスト層 1 6 0 の開口部に、半田ボールからなる外部端子をリフロー形成する。（図 6（i））

これにより、配線 1 5 0 に半田ボール 1 7 0 が接続形成され、電極 1 1 5 は接続部 1 3 0、配線 1 5 0 を介して、半田ボール 1 7 0 に接続される。

半田は、所定領域にスクリーン印刷法で塗布後リフロー、またはボール搭載法等により配設する。

半田ボールは、通常、0.2～0.5 mm φ 程度である。

【 0 0 2 1 】

この後、切断分離して、各半導体チップ毎に、外部端子が再配置された個別の半導体装置を得る。

【 0 0 2 2 】

図 2 に示す第 2 の例の半導体装置の作製は、上記の作製方法と同様に、半導体チップ 1 1 0 の電極 1 1 5 上にワイヤバンプ 1 3 1 を形成した後、更に、ワイヤバンプ 1 3 1 上に、導電性ペーストの加熱硬化処理等を経て、導電性ペースト硬化物 1 3 5 を、突起状に形成し、ワイヤバンプ 1 3 1 と導電性ペースト 1 3 5 とを合せて接続部 1 3 0 (図 5 (b) のワイヤバンプ 1 3 1 に相当) とする。

導電性ペースト硬化物 1 3 5 の形成方法としては、例えば、銀ペーストを均一な厚さに (50 μ m 程度) にスキージした面に、ワイヤバンプ 1 3 1 形成済のウエハをワイヤバンプ先端が銀ペースト面に接触するようにし、その後、引き上げて先端が尖った銀ペースト突起を形成し加熱、硬化する方法が挙げられるが、これに限定はされない。

そして、上記の作製方法と同様に、絶縁層 1 4 0 を接続部 1 3 0 を覆うように配設した後、研磨して絶縁層を所定の厚さに薄くし、接続部を露出する。

この場合は、導電性ペースト硬化物 1 3 5 の平坦面が露出する。

以下は、上記作製方法と同様の各処理を施し、図 2 に示す第 2 の例の半導体装置をえることができる。

【 0 0 2 3 】

図 3 に示す第 3 の例の半導体装置の作製は、第 2 の例の半導体装置を作製した後、更に、半導体チップの、電極形成側の面と対向する面にも絶縁層 1 4 5 を形成することによって得ることができる。

絶縁層 1 4 5 の形成は絶縁層 1 4 0 の形成と同様に行なうことができる。

【 0 0 2 4 】

図 4 に示す第 4 の例の半導体装置の作製は、上記の作製方法と同様に、半導体チップ 1 1 0 の電極 1 1 5 上にワイヤバンプ 1 3 1 を形成せず、電極 1 1 5 側から、無電解 Ni めっき層、無電解金めっき層からなる 2 層、またはスパッタ法により形成された Ti、Pd から成る 2 層、等のメタル層 1 3 3 を下地メタル層と

して形成した後、更に、その上に導電性ペースト硬化物135を、メタルマスク印刷法による導電性ペースト塗布、及び加熱硬化処理等を経て、突起状に形成し、これらを合せて接続部130とする。

以下の工程は、第2の例の半導体装置の作製の場合と同様に行なうことができる。

【0025】

【実施例】

（実施例1）

実施例1は、図1に示す第1の例の半導体装置を、図5、図6に示す工程にて作製したものである。

図5、図6に基づいて説明する。

ウエハプロセスを終えたウエハの各半導体チップ（図5（a）に相当）に対し、電極115上に、 $30\mu\text{m}\phi$ の太さのAuワイヤにて、 230°C にてボンディングし、高さ約 $100\mu\text{m}$ にワイヤバンプ131を形成した。（図5（b））

次いで、 $100\mu\text{m}$ 厚のエポキシ系絶縁材料（味素株式会社製、ABF-SH）を、真空ラミネートし、更に、 170°C で1時間熱処理して硬化し、絶縁層140を形成した。（図5（c））

本実施例では、ラミネートにより、ワイヤバンプ131が絶縁材料層に突き刺さった状態で、且つ、絶縁層140がワイヤバンプ131を覆っている。

次いで、研磨機により、絶縁層140面を研磨し、 $90\mu\text{m}$ の厚さまで薄くし、ワイヤバンプ131先端を平坦な状態で、露出させた。（図5（d））

次いで、絶縁層140の表面部を、過マンガン酸カリウム溶液に浸漬して、粗化し、水洗後、以下の条件で無電解ニッケルめっきを施し、絶縁層140表面を覆うように、 $0.5\mu\text{m}$ の厚さに無電解めっき層151を形成した。（図5（e））

<無電解ニッケルめっき>

センタイジング；S-10X（上村工業製）	3分
アクチベーティング；A-10X（上村工業製）	3分
無電解めっき；NPR-4（上村工業製）	1分

【0026】

次いで、無電解めっき層151上に、東京応化製のレジストPMER-AR900を、バーコータにより $12\mu\text{m}$ の厚み（プリベーク後）に塗布形成し、露光現像を行い、配線の形状に合せた開口を有するレジストを形成した（図示していない）後、無電解めっき層151上に、開口から露出した無電解めっき層140上に、以下のように、電解ニッケルめっき、電解銅めっき、電解無光沢ニッケルめっき、電解金めっきを順に行ない、それぞれ、 $1\mu\text{m}$ 、 $8\mu\text{m}$ 、 $1\mu\text{m}$ 、 $0.1\mu\text{m}$ の厚さに形成し、配線の主層となる電解めっき層152、及びバリアメタル層となる電解めっき層153を電解めっき形成した。

ここでは、 8μ 厚の銅めっき層が配線の主層で電解めっき層152に当たり、その上のニッケルめっき層、金めっき層がバリアメタル層となる電解めっき層153に当たる。

尚、銅めっき層下のニッケルめっき層は、Auからなるワイヤバンプ131と銅めっき層が合金化することを防ぐための層である。

＜電解ニッケルめっき＞

硫酸ニッケル（6水塩）		300g/l
塩化ニッケル（6水塩）		45g/l
ほう酸		40g/l
PCニッケル	A-1	10ml/l
	A-2	1ml/l
温度		50℃
電流密度		1A/dm ²
時間		1分

＜電解銅めっき＞

硫酸銅（5水塩）		70g/l
硫酸		200g/l
塩酸		0.5ml/l
スパスロー2000	光沢剤	10ml/l
スパスロー2000	補正剤	5ml/l

温度	2 0 ℃
電流密度	4 A / d m ²
時間	1 2 分

< 電解無光沢ニッケルめっき >

WHNめっき液（日本高純度化学社製）

温度	5 0 ℃
電流密度	1 A / d m ²
時間	1 分

< 電解金めっき >

テンペレジスト K-91S（日本高純度化学社製）

温度	6 0 ℃
電流密度	0.4 A / d m ²
時間	1 分

【 0 0 2 7 】

次いで、レジストをアセトンにて剥離した（図 6（f））後、配線部を損傷しないように露出した無電解めっき層 1 5 1 を、ニムデンリップ C-11 にてソフトエッチングして剥離除去した。（図 6（g））

更に、触媒を除去するために、マコー株式会社製のウェットブラスト加工装置で、アルミナ砥材 # 1 0 0 0（平均粒径 1 1.5 μm）、砥材濃度 2 0 %、ポンプ圧 0.5 k g / c m²、処理速度 1 0 m / m i n の条件下でウェットブラスト処理を行った。

【 0 0 2 8 】

次いで、洗浄処理を施した後、スクリーン印刷により、配線 1 5 0 を覆うように、絶縁層 1 4 0 全面に、感光性ソルダーレジスト（日立化成社製、BL-9700）を形成し、乾燥後厚さ 1 5 μ 厚とし、更に、所定のパターン版を用い、現像して、配線 1 5 0 の外部端子形成領域に開口を有するソルダーレジスト層 1 6 0 を形成した。（図 6（h））

次いで、配線部 1 5 0 の外部端子形成領域である、ソルダーレジスト層 1 6 0 の開口部に半田ボールを搭載、リフローし、半田ボール 1 7 0 を形成した。（図

6 (i))

次いで、切断分離して、各半導体チップ毎に、外部端子が再配置された個別の半導体装置を得た。

このようにして、図 1 に示す半導体装置を得た。

【 0 0 2 9 】

(実施例 2)

実施例 2 は、図 2 に示す半導体装置を形成したもので、実施例 1 と同様に、半導体チップ 1 1 0 の電極 1 1 5 上にワイヤバンプ 1 3 1 を、 $100\mu\text{m}$ の高さに形成し、更に、

銀ペーストを均一な厚さに ($50\mu\text{m}$ 厚) にスキージした面に、ワイヤバンプ 1 3 1 形成済のウエハをワイヤバンプ先端が銀ペースト面に接触するようにし、その後、引き上げて先端が尖った銀ペースト突起を形成し加熱、硬化し、銀ペースト硬化物からなる導電性ペースト硬化物部 1 3 5 を形成し、ワイヤバンプ 1 3 1 上にワイヤバンプ 1 3 1 と合せた高さを、乾燥後約 $150\mu\text{m}$ とした。(図 7)

この後、ワイヤバンプ 1 3 1、導電性ペースト硬化物部 1 3 5 を覆うように、トランスファーモールドにより、シリカフィラー入りのエポキシ樹脂で絶縁層 $180\mu\text{m}$ 厚に形成した。

この後、実施例 1 と同様の処理を行い、図 2 に示す半導体装置を得た。

但し、研磨後の厚さは $130\mu\text{m}$ とした。

【 0 0 3 0 】

(実施例 3)

実施例 3 は、図 3 に示す半導体装置を形成したもので、実施例 2 の半導体装置作製において、ワイヤバンプ 1 3 1 上に、導電ペースト硬化部 1 3 5 を形成し、ワイヤバンプ 1 3 1 と合せた高さを乾燥後 $150\mu\text{m}$ とした後、トランスファーモールド法により、シリカフィラー入りのエポキシ樹脂で、ウエハの電極形成側の面に絶縁層 1 4 0 を $180\mu\text{m}$ 厚に、また反対側の面に絶縁層 1 4 5 を $130\mu\text{m}$ 厚に形成した。

その後、実施例 1 と同様の処理を行い、図 3 に示す半導体装置を得た。

【 0 0 3 1 】

(実施例 4)

実施例 4 は、図 4 に示す半導体装置を形成したものである。

先ず、電極部 1 1 5 のパッシベーション層開口が完了したウエハに対し亜鉛置換処理を施し、A l 電極 1 1 5 表面にジンケート薄膜を形成した後、その上に無電解 N i めっき、無電解 A u めっきを、それぞれ、3 μ m 厚、0 . 1 μ m 厚に、順に施した。

次いで、導電ペースト材として、旭化成工業株式会社製の G P 9 1 3 を用い、マタルマスクを用いた印刷法により、導電性ペースト突起を形成し、これを、1 8 0 $^{\circ}$ C、1 時間加熱し、高さ 1 5 0 μ m に形成した。(図 8)

この後、実施例 2 と同様の処理を行い、図 4 に示す半導体装置を得た。

但し、研磨後の厚さは 1 3 0 μ m とした。

尚、無電解 N i めっきは実施例 1 と同様の薬液を用いて行なった。また、無電解 A u めっきは以下のようにして行なった。

<無電解 A u めっき>

レクトロレス A u (E E J A 社製) 8 0 $^{\circ}$ C、5 分

【 0 0 3 2 】

【発明の効果】

本発明は、上記のように、
基板に実装された状態での温度変化による S i チップクラックを生じにくい構造の、更には、反りが発生しにくく、実装歩留まりの良い構造の、
半導体チップの電極形成側の面に、外部端子を再配置した半導体装置の提供を可能とした。

同時に、そのような半導体装置の作製方法の提供を可能とした。

【図面の簡単な説明】

【図 1】

本発明の半導体装置の実施の形態の第 1 の例の一部断面図

【図 2】

本発明の半導体装置の実施の形態の第 2 の例の一部断面図

【図 3】

本発明の半導体装置の実施の形態の第 3 の例の一部断面図

【図 4】

本発明の半導体装置の実施の形態の第 4 の例の一部断面図

【図 5】

図 1 に示す第 1 の例の半導体装置の作製の一部工程図

【図 6】

図 1 に示す本発明の半導体装置の実施の形態の第 1 の例の図 4 に続く工程を示した工程断面図

【図 7】

図 2 に示す第 2 の例の半導体を作製する際に導電性ペーストをワイヤバン
プへに形成した図

【図 8】

図 4 に示す第 4 の例の半導体を作製する際に導電性ペースト硬化部を形成
した図

【図 9】

従来のウエハレベル C S P の一部断面図

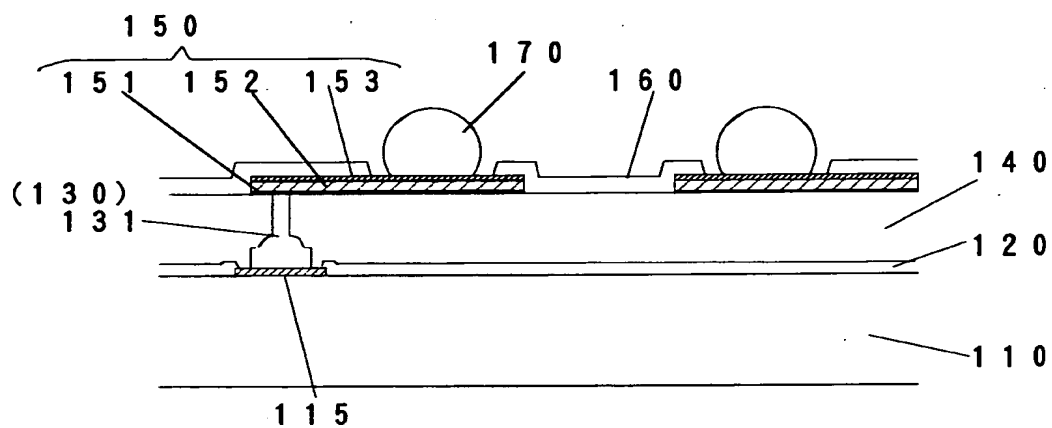
【符号の説明】

1 1 0	半導体チップ
1 1 5	電極（端子とも言う）
1 2 0	パッシベーション層
1 3 0	接続部
1 3 1	ワイヤバン
1 3 3	メタル層
1 3 5	導電性ペースト硬化物
1 4 0、1 4 5	絶縁層
1 5 0	配線（配線部とも言う）

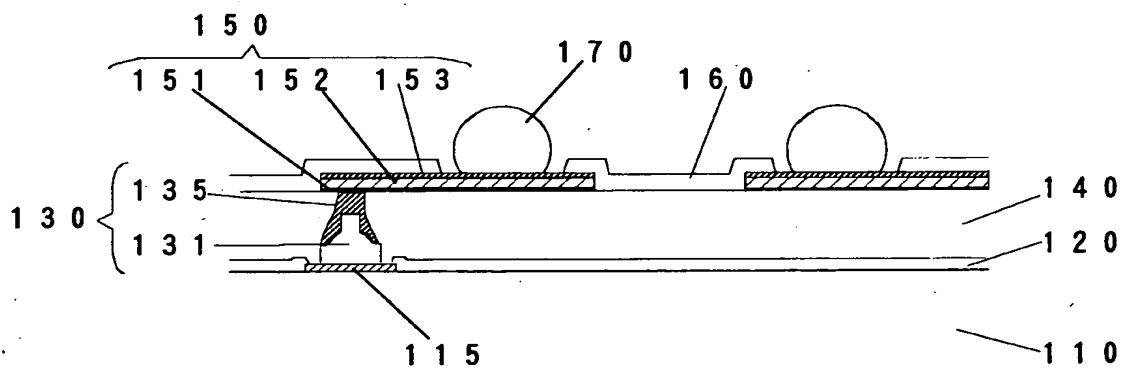
- 1 5 1 無電解めっき層
- 1 5 2 電解めっき層（配線の主層）
- 1 5 3 電解めっき層（バリアメタル層）
- 1 6 0 ソルダーレジスト層
- 1 7 0 半田ボール（半田バンプ）

【書類名】 図面

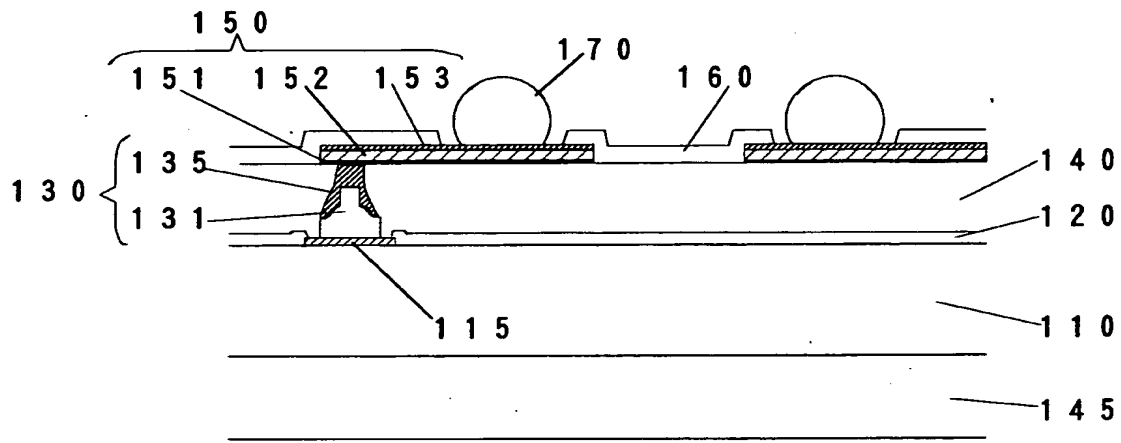
【図 1】



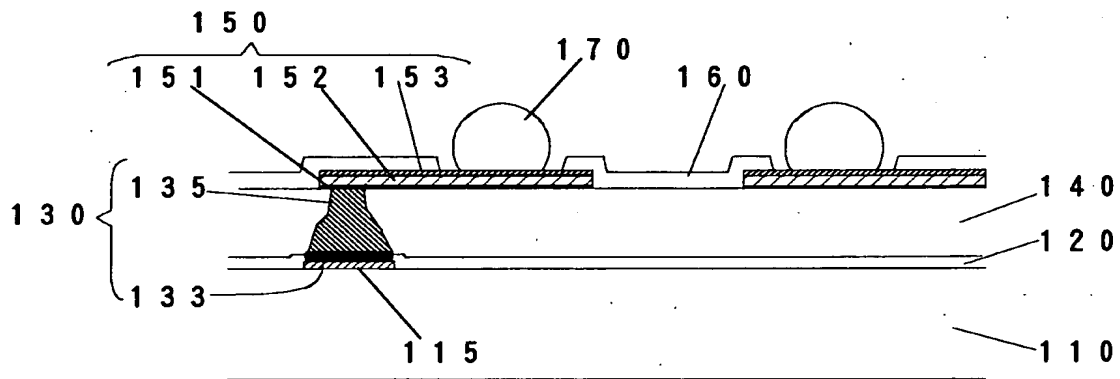
【図 2】



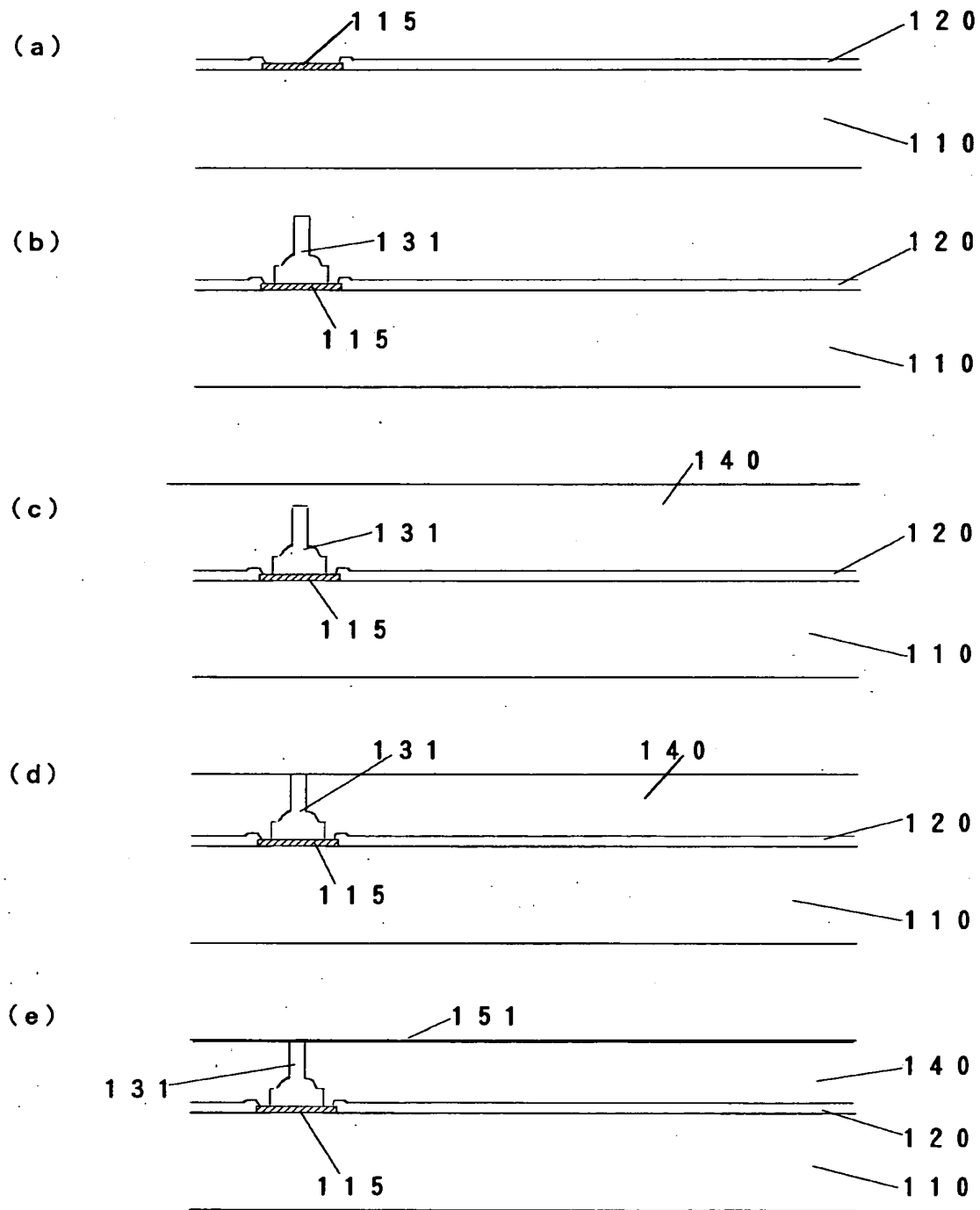
【図 3】



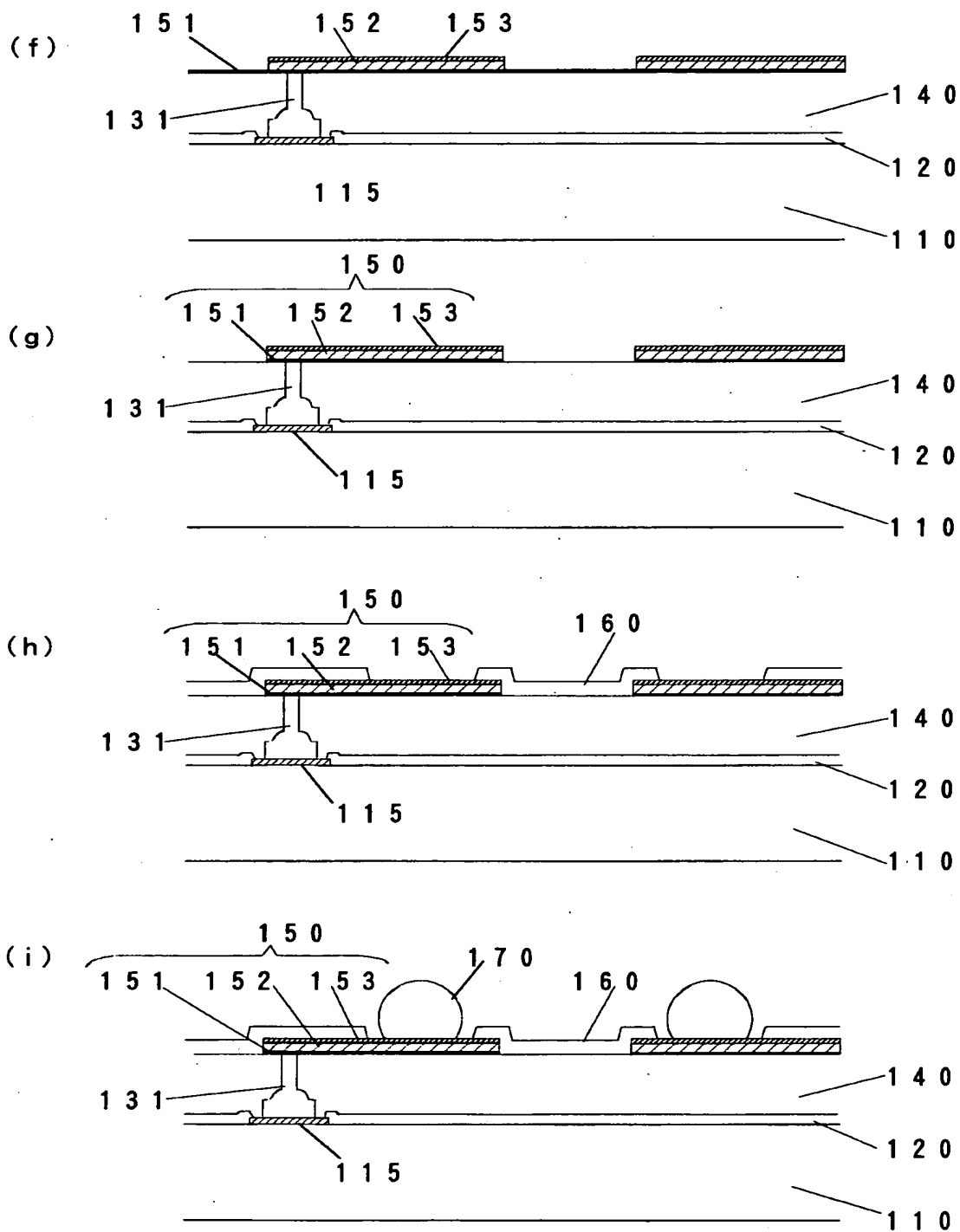
【図 4】



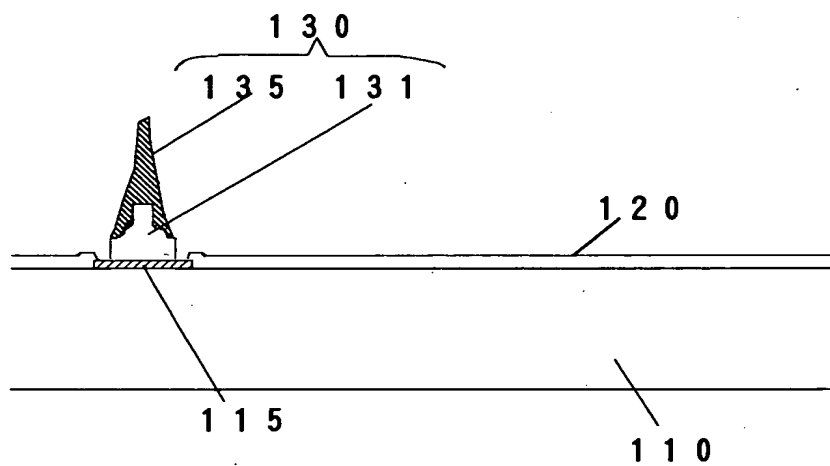
【図 5】



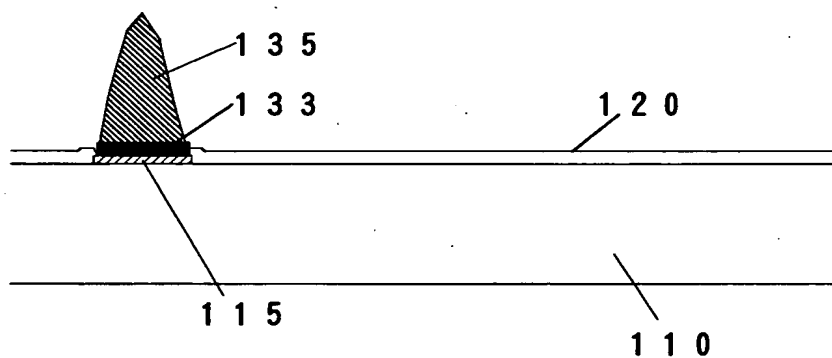
【図 6】



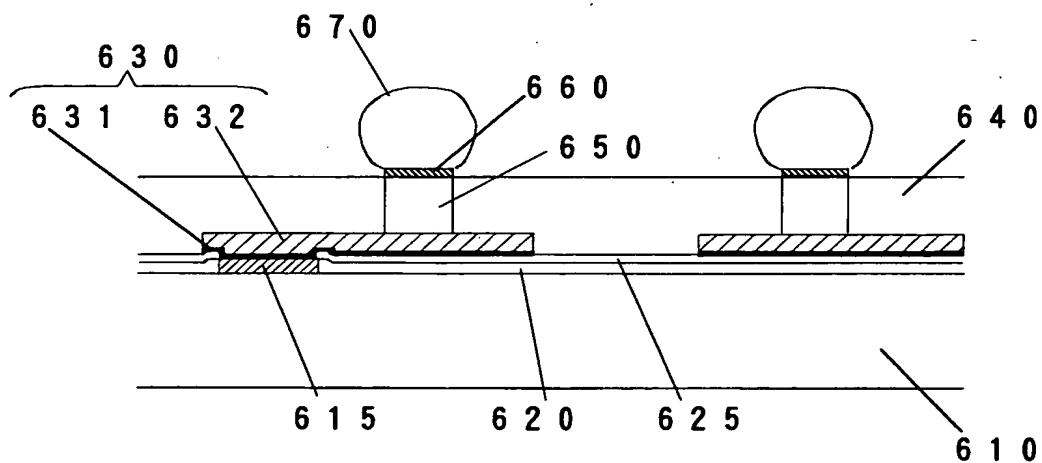
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 基板に実装された状態での温度変化による S i チップクラックを生じにくい構造の、更には、反りが発生しにくく、実装歩留まりの良い構造の、半導体チップの電極形成側の面に、外部端子を再配置した半導体装置を提供する。同時に、そのような半導体装置の作製方法を提供する。

【解決手段】 半導体チップの電極形成側の面上に配設された絶縁層上に配線を形成した半導体装置で、絶縁層上に形成された配線と半導体チップの電極とは、半導体チップの電極上に設けられたワイヤバンプ等の接続部を介して、電氣的に接続されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002897]

1. 変更年月日 1990年 8月27日

[変更理由] 新規登録

住 所 東京都新宿区市谷加賀町一丁目1番1号

氏 名 大日本印刷株式会社